

## TAREA 1

### Actividad a desarrollar:

Se quiere diseñar una memoria caché de correspondencia directa (o mapeo directo) de 4K bytes de capacidad, con líneas de 4 palabras. La Memoria Principal, tiene una capacidad de 16Mb. El CPU direcciona por byte y por palabra. El ancho de una palabra es de 32 bits.

**a)** Describa con un esquema la DIRECCIÓN VIRTUAL con la que se accede a la MEMORIA. El número de bits por cada campo, y su uso en la caché.

**b)** Describa la estructura lógica de la memoria caché diseñada, con un diagrama que indique los anchos, posiciones, líneas, etc.

Para la traza de direcciones dada abajo, calcule la tasa de aciertos utilizando la memoria caché diseñada. La estrategia utilizada en los accesos de escritura es "write through".

**c)** Proponga estrategias para mejorar el rendimiento de esta memoria caché sin aumentar el número de líneas. Compare el rendimiento con el caso anterior.

```
RB 010A16
RB 010A17
RB 010A18
```

```
RB 010A19
RB 0B0A1A
RB 0B0A1B
RB 00001C
RB 00001D
RB 000A1E
RW 30FB0C
RW 30FB10
RB A0AA1F
RB A0AF47
RB A0AF48
RB A0AF49
WW A0AB10
RB A0AA50
```

ESTE TROZO SE REALIZA 10 VECES

```
RB: Read Byte
RW: Read Word
WW: Write Word
```